

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0084313
Application Number

출원년월일 : 2002년 12월 26일
Date of Application DEC 26, 2002

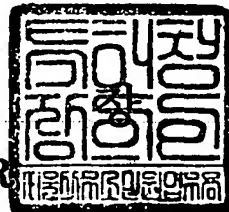
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0034
【제출일자】	2002. 12. 26
【발명의 명칭】	비휘발성 메모리 소자의 제조 방법
【발명의 영문명칭】	Method of manufacturing of non-volatile memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	주광철
【성명의 영문표기】	J00,Kwang Chul
【주민등록번호】	680616-1067912
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 죽전2동 832 벽산아파트 102-1603
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	9 항 397,000 원
【합계】	426,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 비휘발성 메모리 소자의 제조방법에 관한 것으로, 반도체 기판 상에 플로팅 게이트를 형성하는 단계와, 상기 플로팅 게이트 상부 표면을 질화 처리하는 단계와, 질화 처리된 상기 플로팅 게이트 상에 실리콘 질화막을 형성하는 단계와, 상기 실리콘 질화막 상에 금속계 산화막을 형성하는 단계와, 상기 금속계 산화막에 대하여 산소를 보충하기 위하여 열처리하는 단계 및 상기 금속계 산화막 상에 컨트롤 게이트를 형성하는 단계를 포함한다.

【대표도】

도 5

【색인어】

비휘발성 메모리 소자, 금속계 산화막, 질화 처리, 실리콘 질화막

【명세서】**【발명의 명칭】**

비휘발성 메모리 소자의 제조방법 {Method of manufacturing of non-volatile memory device}

【도면의 간단한 설명】

도 1 내지 도 5는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하기 위하여 도시한 단면도들이다.

<도면의 주요 부분에 부호의 설명>

100: 반도체 기판 102: 게이트 산화막

104: 플로팅 게이트 104a: 반구형 그레이드

106: 질화 처리 108: 실리콘 질화막

110: 금속계 산화막 112: 고온 열처리

114: 컨트롤 게이트

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 금속계 산화막을 유전막으로 사용하면서도 산소 확산에 의한 하부 플로팅 게이트의 산화를 억제하여 전체 유전체막의 유전율 감소와 충전용량 감소를 방지할 수 있는 비휘발성 메모리 소자의 제조방법에 관한 것이다.

<9> 플래시 메모리 소자의 집적도가 증가하면서 셀(cell) 크기 즉, 플로팅 게이트의 디자인 룰(design rule)이 감소하고, 이에 따라 플래시 메모리 소자의 동작에 필요한 플로팅 게이트의 충전용량을 확보하기 위하여 유전체막으로 ONO(oxide/nitride/oxide)막을 사용하고 있으며, 최근에는 Ta₂O₅ 등의 금속계 산화막이 개발되고 있다. 현재 0.13 μ m 및 0.11 μ m 이하의 디자인 룰을 갖는 플래시 메모리 소자의 유전체막으로 적용 가능성이 있는 Ta₂O₅ 등의 금속계 산화막은 기존의 Si₃N₄막($\epsilon=7$) 또는 SiO₂막($\epsilon=3.8$)보다 유전율이 3~4배 정도 높으나, 실제 유전체막으로 적용하기에는 여러 가지 문제점이 있다.

<10> Ta₂O₅ 등의 금속계 산화막은 유전율 확보를 위한 후속 열처리 과정에서 플로팅 게이트(도핑된 폴리실리콘막)과의 계면 반응을 통해 저유전층을 형성하여 전체 충전용량을 크게 저하시킨다. 일반적으로, 금속계 산화막의 후속 열처리는 산소 플라즈마 또는 자외선(ultraviolet; UV)-오존(O₃)과 같은 저온 열처리, 퍼니스(furnace) 열처리 또는 급속 열처리(rapid thermal process; RTP)와 같은 고온 열처리를 거치게 되는데, 열처리가 진행될수록 금속계 산화막 자체의 유전 특성은 향상될 수 있으나, 산소 확산에 의하여 하부 실리콘막의 산화가 진행되고 따라서 전체 유전체막의 유전율 감소와 충전용량 감소를 초래한다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는 금속계 산화막을 유전막으로 사용하면서도 산소 확산에 의한 하부 플로팅 게이트의 산화를 억제하여 전체 유전체막의 유전율 감소와 충전용량 감소를 방지할 수 있는 비휘발성 메모리 소자의 제조방법을 제공함에 있다.

【발명의 구성 및 작용】

- <12> 상기 기술적 과제를 달성하기 위하여 본 발명은, 반도체 기판 상에 플로팅 게이트를 형성하는 단계와, 상기 플로팅 게이트 상부 표면을 질화 처리하는 단계와, 질화 처리된 상기 플로팅 게이트 상에 실리콘 질화막을 형성하는 단계와, 상기 실리콘 질화막 상에 금속계 산화막을 형성하는 단계와, 상기 금속계 산화막에 대하여 산소를 보충하기 위하여 열처리하는 단계 및 상기 금속계 산화막 상에 컨트롤 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법을 제공한다.
- <13> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 개재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.
- <14> 도 1 내지 도 5는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.
- <15> 도 1을 참조하면, 반도체 기판(100) 상에 게이트 산화막(102)을 형성한다. 게이트 산화막(102)은 습식 산화 방식을 이용하여 형성하는 것이 바람직하다. 예컨대, 750℃ ~ 800℃ 정도의 온도에서 습식 산화를 진행하고 900℃ ~ 910℃ 정도의 온도에서 질소(N₂) 분위기에서 20~30분간 어닐링을 진행하여 형성한다.

- <16> 게이트 산화막(102) 상에 전하저장 전극(storage node)인 플로팅 게이트(104)를 형성하기 위하여 불순물이 도핑된 폴리실리콘막을 증착한다. 상기 폴리실리콘막은 SiH_4 또는 Si_2H_6 가스와 PH_3 가스를 이용하여 LP-CVD(Low Pressure-Chemical Vapor Deposition) 방법으로 형성할 수 있다. 이때, 도핑되는 불순물은 인(P) 등일 수 있으며, $1.0\text{E}20 \sim 3.0\text{E}20$ atoms/cc 정도의 도우즈(dose)로 도핑하는 것이 바람직하다. 상기 폴리실리콘막(106)은 550 내지 620°C 정도의 온도와 0.1 내지 3Torr 정도의 낮은 압력에서 1000 내지 2000Å 정도의 두께로 형성하는 것이 바람직하다.
- <17> 도 2를 참조하면, 플로팅 게이트(104)의 표면적을 증가시키기 위하여 반구형 그레인(hemi spherical grain; HSG)(104a)을 형성한다. 상기 반구형 그레인(HSG)(104a)에 의하여 셀 트랜지스터의 충전용량 값은 증가하게 된다.
- <18> 이어서, 플로팅 게이트(104) 표면을 질화 처리(106)한다. 상기 질화 처리(106)는 퍼니스(furnace)에서 NH_3 가스를 이용하여 실시한다. 상기 질화 처리(106)는 $600 \sim 850^\circ\text{C}$ 정도의 온도, 10~100torr 정도의 압력에서 30분~120분 정도 실시하는 것이 바람직하다. 상기 질화 처리(106)에 의하여 플로팅 게이트(104)의 상부 표면에 질화막(106a)이 형성된다.
- <19> 도 3을 참조하면, 질화막(106a) 상에 자연산화막(미도시)을 형성한다. 자연산화막은 반도체 기판(100)을 공기중에 노출시켜 형성할 수 있다.
- <20> 상기 자연산화막 상에 실리콘 질화막(Si_3N_4)(108)을 증착한다. 상기 실리콘 질화막(108)은 NH_3 가스와 SiH_2Cl_2 가스 또는 NH_3 가스와 SiH_4 가스를 사용하여 증착할 수 있다. 상기 실리콘 질화막(108)은 $600 \sim 800^\circ\text{C}$ 정도의 온도, 0.05~0.5torr 정도의 압

력에서 저압 화학기상증착(Low Pressure-Chemical Vapor Deposition)법으로 증착하는 것이 바람직하다. 상기 실리콘 질화막(108)은 3~50 Å 정도의 두께로 형성한다.

<21> 도 4를 참조하면, 실리콘 질화막(108) 상에 금속계 산화막(110)을 형성한다. 금속계 산화막(110)은 Ta_2O_5 막, TiO_2 막, Ta_3N_4 막, $TaON$ 막 등일 수 있다. 금속계 산화막(110)은 $Ta(OC_2H_5)_5$ 와 같은 금속 전구체를 소스 물질로 하고, 산소(O_2)를 반응 가스로 사용하여 형성한다. 금속계 산화막(110)은 20~150 Å 정도의 두께로 형성한다.

<22> 이어서, 금속계 산화막(110) 내 산소공핍량을 보충하기 위하여 산소(O_2) 분위기 또는 N_2O 분위기에서 고온 열처리(112)를 실시한다. 상기 고온 열처리(112)는 급속 열처리(RTP) 또는 퍼니스 열처리일 수 있으며, 700~900°C 정도의 온도에서 30분~120분 정도 실시하는 것이 바람직하다.

<23> 도 5를 참조하면, 금속계 산화막(110) 상에 플레이트 전극(plate electrode)인 컨트롤 게이트(114)를 형성한다. 상기 컨트롤 게이트(114)는 티타늄 질화막(TiN), 폴리실리콘막 또는 티타늄 질화막과 폴리실리콘막이 순차적으로 적층된 막으로 형성할 수 있다. 컨트롤 게이트(114)는 CVD(Chemical Vapor Deposition)법으로 500~2000 Å 정도의 두께로 형성한다.

【발명의 효과】

<24> 본 발명에 의한 비휘발성 메모리 소자의 제조방법에 의하면, 전하저장 전극인 플로팅 게이트, 즉 Si 전극의 산화를 막음으로써 Ta_2O_5 막과 같은 금속계 산화막과 Si 전극 사이의 계면이 SiO_2 ($\epsilon=3.8$)에서 Si_3N_4 ($\epsilon=7$) 성분이 풍부한 층으로 바뀌게 되므로 충전 용량이 증가하게 되며, 계면의 불균일성에 기인한 누설 전류가 없으므로 전기적 특성이

개선된다. 또한, 기존의 디램(Dynamic Random Access Memory; DRAM) 커패시터에서 사용하는 공정 장비를 그대로 사용할 수 있다.

<25> 이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 플로팅 게이트를 형성하는 단계;
상기 플로팅 게이트 상부 표면을 질화 처리하는 단계;
질화 처리된 상기 플로팅 게이트 상에 실리콘 질화막을 형성하는 단계;
상기 실리콘 질화막 상에 금속계 산화막을 형성하는 단계;
상기 금속계 산화막에 대하여 산소를 보충하기 위하여 열처리하는 단계; 및
상기 금속계 산화막 상에 컨트롤 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 2】

제1항에 있어서, 상기 질화 처리하는 단계 후 상기 실리콘 질화막을 형성하는 단계 전에, 질화 처리된 상기 플로팅 게이트 상에 자연산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 3】

제1항에 있어서, 상기 질화 처리는 퍼니스에서 NH_3 가스를 사용하여 수행하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 4】

제3항에 있어서, 상기 질화 처리는 600~850℃의 온도, 10~100torr의 압력에서 30분~120분 정도 실시하는 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 5】

제1항에 있어서, 상기 실리콘 질화막은 NH_3 가스와 SiH_2Cl_2 가스 또는 NH_3 가스와 SiH_4 가스를 소스 가스로 사용하여 저압 화학기상증착법으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 6】

제5항에 있어서, 상기 실리콘 질화막은 $600\sim 800^\circ\text{C}$ 의 온도, $0.05\sim 0.5\text{torr}$ 의 압력에서 $3\sim 150\text{\AA}$ 정도의 두께로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 7】

제1항에 있어서, 상기 금속계 산화막은 Ta_2O_5 막, TiO_2 막, Ta_3N_4 막 또는 TaON 막인 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 8】

제7항에 있어서, 상기 금속계 산화막은 금속 전구체를 소스 물질로 하고, 산소(O_2)를 반응 가스로 사용하여 $20\sim 150\text{\AA}$ 정도의 두께로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

【청구항 9】

제1항에 있어서, 상기 열처리는 산소(O_2) 분위기 또는 N_2O 분위기에서 급속 열처리(RTP) 또는 퍼니스 열처리를 이용하여 $700\sim 900^\circ\text{C}$ 정도의 온도에서 실시하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

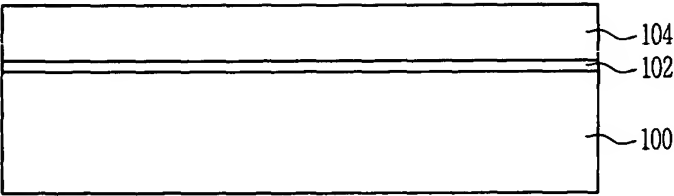


1020020084313

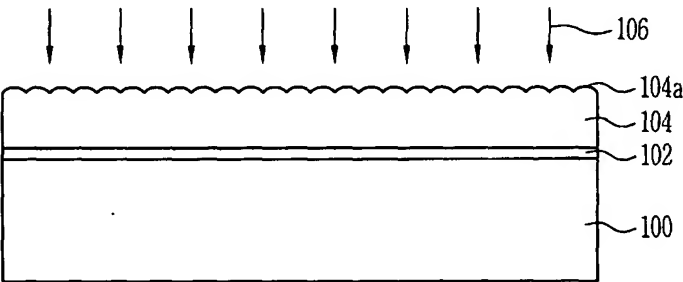
출력 일자: 2003/4/17

【도면】

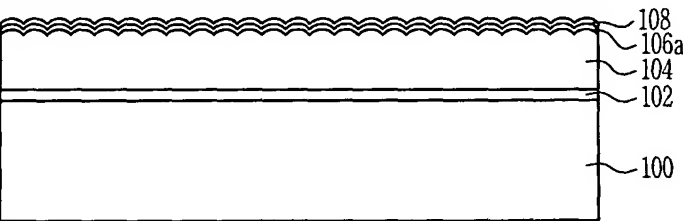
【도 1】



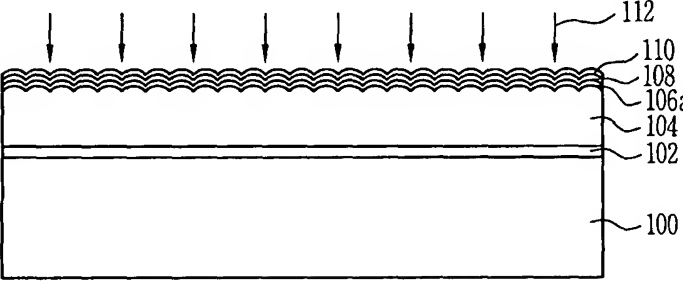
【도 2】



【도 3】



【도 4】



【도 5】

